

CLIPPEDIMAGE= JP402135754A

PAT-NO: JP402135754A

DOCUMENT-IDENTIFIER: JP 02135754 A

TITLE: MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

PUBN-DATE: May 24, 1990

INVENTOR-INFORMATION:

NAME

ITO, HIDEJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OKI ELECTRIC IND CO LTD

N/A

APPL-NO: JP63288735

APPL-DATE: November 17, 1988

INT-CL (IPC): H01L021/76

US-CL-CURRENT: 438/404,438/694 ,438/FOR.401

ABSTRACT:

PURPOSE: To prevent a silicon nitride film from peeling at the time of supply of molten silicon and to effectively fill a groove by forming a silicon oxynitride thin film on a silicon dioxide film on the surface of a semiconductor substrate.

CONSTITUTION: A silicon oxynitride thin film 25 is so formed from a silicon dioxide film 24 toward the forming surface on the film 24 as to increase the composition ratio of oxygen to nitrogen in the film. The silicon oxynitride exhibits properties of intermediate of those of the silicon dioxide and the silicon nitride according to the composition ratio of the oxygen to the nitrogen. Thus, when molten silicon is dripped on the film 25 in a later step, both are not peeled, since both has similar thermal expansion coefficient, the molten silicon fills the V-shaped groove 23 on the surface by wettability of

the molten silicon similar to that of the silicon nitride.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-135754

⑤ Int. Cl.⁵

H 01 L 21/76

識別記号

D

庁内整理番号

7638-5F

④ 公開 平成2年(1990)5月24日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体基体の製造方法

⑰ 特 願 昭63-288735

⑱ 出 願 昭63(1988)11月17日

⑲ 発 明 者 伊 藤 秀 二 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体基体の製造方法

2. 特許請求の範囲

(a) 溝を有する半導体基板の、前記溝内を含む基板表面に二酸化シリコン膜を形成する工程と、

(b) 該二酸化シリコン膜上に、該二酸化シリコン膜に接する部分では二酸化シリコンあるいは膜中央の部分に比して酸素組成比の高いシリコンオキシナイトライド、表面部分では窒化シリコンあるいは膜中央の部分に比して窒素組成比の高いシリコンオキシナイトライドからなる構成のシリコンオキシナイトライド系の薄膜を形成する工程と、

(c) 該薄膜上に、熔融シリコンの被着固化により多結晶シリコン層を形成する工程とを具備してなる半導体基体の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路に用いられる半導体基体の製造方法に係り、詳しくは、半導体基板

の溝内を含む表面に二酸化シリコン膜を形成し、その上に、熔融シリコンの被着固化により多結晶シリコン層を形成する方法に関するものである。
(従来の技術)

半導体基板の溝内を含む表面に二酸化シリコン膜を形成し、その上に、熔融シリコンの被着固化により多結晶シリコン層を形成する方法は、一例として誘電体分離基板の製造法に応用される。そこで、従来の上記方法として、従来の誘電体分離基板の製造法について第2図を参照して説明する。この誘電体分離基板の製造法は、特開昭60-182738号公報に開示される。

まず、第2図(a)に示すように、単結晶シリコン基板1を異方性エッチングし、V字溝2を形成する。

次に、第2図(b)に示すように、単結晶シリコン基板1を酸化し、V字溝2を含む基板表面に、絶縁分離のための二酸化シリコン膜3を形成後、該二酸化シリコン膜3上に公知のCVD法により、膜厚0.1 μ m程度の窒化シリコン膜4を形成する。

その後、1440℃程度の温度の熔融シリコンを、1300℃程度に保たれたシリコン基板1上に供給し、該熔融シリコンを基板全面に広げ、冷却することにより、窒化シリコン膜4上に500μm程度の厚さの多結晶シリコン層5を形成する。

ここで、前記窒化シリコン膜4は、V字溝2内部まで熔融シリコンが侵入しV字溝2内が充填される為が必要であり、絶縁分離のための二酸化シリコン膜3上に直接熔融シリコンを滴下したのでは、二酸化シリコン膜と熔融シリコンのぬれ性が悪いために第3図に示すような多結晶シリコンの未充填箇所11がV字溝2内に発生するからである。

その後、多結晶シリコン層5の表面を平坦な加工基準面6まで研削した後、単結晶シリコン基板1の裏面側を、V字溝2の先端が露出するまで研削・研磨により除去することにより、第2図(c)に示す誘電体分離基板が得られる。

(発明が解決しようとする課題)

しかしながら、上記従来の製造方法では、高温

の熔融シリコンがある程度以上の質量を有する液滴状態で窒化シリコン膜4上に供給されると、絶縁分離のための二酸化シリコン膜3と窒化シリコン膜4との熱膨張係数の差に基づく急激な熱応力が両方の膜の界面に生じ、窒化シリコン膜4が割れ、V字溝2内の熔融シリコンの充填が行われないう問題点があった。そして、このような未充填箇所は、第2図(c)に示す誘電体分離基板の表面にくぼみ(未充填箇所11)を形成し、後の半導体集積回路の形成工程において、配線の段切れを起こす等により、半導体集積回路の製造歩留りを低下させていた。

この発明は、以上述べた熔融シリコン供給時の窒化シリコン膜のはがれによる溝内の未充填と云う問題点を除去し、溝内の充填を確実とし得る半導体基体の製造方法を提供することを目的とする。
(課題を解決するための手段)

この発明では、溝を有する半導体基体の表面に二酸化シリコン膜を形成し、その上にシリコンオキシナイトライド系の薄膜を形成し、その薄膜上

に多結晶シリコン層を熔融シリコンの被着により形成する。しかも、前記シリコンオキシナイトライド系の薄膜は、前記二酸化シリコン膜に接する部分では二酸化シリコンあるいは膜中央の部分に比して酸素組成比の高いシリコンオキシナイトライド、表面部分では窒化シリコンあるいは膜中央の部分に比して窒素組成比の高いシリコンオキシナイトライドからなる構成のシリコンオキシナイトライド系の薄膜とする。

(作用)

この発明では、半導体基板表面の二酸化シリコン膜上に上述のような膜構成のシリコンオキシナイトライド系の薄膜を形成するが、シリコンオキシナイトライド(SiO_2N_x)はその酸素と窒素の組成比に応じて、二酸化シリコンと窒化シリコンとの中間の性質を示し、上述の膜構成とすることにより、後の工程で熔融シリコンを該シリコンオキシナイトライド系の薄膜上に滴下した際に、絶縁分離のための二酸化シリコン膜との界面では、その二酸化シリコンと同様の熱膨張係数により膜

割れは生じず、表面では、窒化シリコンと同様の熔融シリコンに対するぬれ性により、該熔融シリコンの溝内への充填を確保する。

(実施例)

以下第1図(a)ないし(d)に従い、この発明の一実施例について誘電体分離基板を例にとり説明する。

まず、第1図(a)に示すように、単結晶シリコン基板21を酸化し、その表面に膜厚1μm程度の二酸化シリコン膜22を形成する。

次に、第1図(b)に示すように、ホトリソ・エッチングにより二酸化シリコン膜22を部分的に開孔し、残りの二酸化シリコン膜22を保護マスクとして、単結晶シリコン基板21を異方性エッチングすることにより、深さ50μm程度のV字溝23を形成する。

次に、第1図(c)に示すように、二酸化シリコン膜22を除去後、再び単結晶シリコン基板21を酸化し、V字溝23を含む基板表面に膜厚2μm程度の絶縁分離のための二酸化シリコン膜24を形成する。

次に、該二酸化シリコン膜24上に公知のCVD法により、膜厚0.2 μ m程度のシリコンオキシナイトライド(SiO_2N_x)系の薄膜25を二酸化シリコン膜24側から形成表面方向に向かって、膜中の酸素に対する窒素の組成比 y/x が増加するように形成する。ここで、該薄膜25は、二酸化シリコン膜24に接する部分は完全な酸化シリコンで、表面は完全な窒化シリコンであってもよい。尚、シリコンオキシナイトライド系の薄膜は $\text{SiH}_4 \cdot \text{NH}_3 \cdot \text{N}_2\text{O}$ 混合ガスの熱分解により得られ、膜形成につれて $\text{NH}_3/\text{N}_2\text{O}$ の配合比を増加させることにより、前記膜構成のシリコンオキシナイトライド系の薄膜25が形成できる。又、シリコンオキシナイトライドはその酸素と窒素の組成比に応じて、二酸化シリコンと窒化シリコンとの中間の性質を示し、前記の膜構成とすることにより、後の工程で熔融シリコンを該シリコンオキシナイトライド系の薄膜25上に滴下した際に、絶縁分離のための二酸化シリコン膜24との界面では、その二酸化シリコンと同様の熱膨張係数により膜剥

がれは生じず、表面では、窒化シリコンと同様の熔融シリコンに対するぬれ性により、該熔融シリコンのV字溝23内への充填を確保する。

以下従来の製造方法に従い、1440℃程度の温度の熔融シリコンを、1300～1400℃に保たれたシリコン基板21上に滴下あるいはノズルからの噴射により供給し、該熔融シリコンを基板表面に広げ、冷却することにより、シリコンオキシナイトライド系の薄膜25上に550 μ m程度の厚さの多結晶シリコン層26を被着する。この時、前述のようにシリコンオキシナイトライド系薄膜25の剝離がなく、熔融シリコンはV字溝23内に確実に充填される。その後、多結晶シリコン層26の表面を平坦な加工基準面27まで研削した後、単結晶シリコン基板21の裏面側をV字溝23の先端が露出するまで研削・研磨により除去することにより、第1図(d)に示すように単結晶シリコン島28が互いに電気的に分離された誘電体分離基板を完成させる。

尚、上記実施例では誘電体分離基板をとり上げ

たが、この発明は、その他の同様の半導体基体の製造方法にも適用できる。

(発明の効果)

以上詳細に説明したように、この発明によれば、熔融シリコンの溝内の充填を確保するためにシリコンオキシナイトライド系の薄膜、特に半導体基板表面の二酸化シリコン膜と接する部分では二酸化シリコンあるいは膜中央の部分に比して酸素組成比の高いシリコンオキシナイトライド、表面部分では窒化シリコンあるいは膜中央の部分に比して窒素組成比の高いシリコンオキシナイトライドからなる構成のシリコンオキシナイトライド系の薄膜を形成するようにしたので、前記二酸化シリコン膜との熱膨張係数の差に基づく高温熔融シリコン供給時の充填確保用薄膜の剝がれを防止することができ、熔融シリコンの溝内の充填を確実なものとすることができる。したがって、例えば誘電体分離基板において表面のくぼみの発生を防止でき、集積回路を形成した際に配線が前記くぼみにより段切れを起こすことを防止でき、半導体集

積回路の製造歩留りを高めることができる。

4. 図面の簡単な説明

第1図はこの発明の半導体基体の製造方法の一実施例を示す工程断面図、第2図は従来の誘電体分離基板の製造方法を示す工程断面図、第3図は従来の方法において窒化シリコン膜が無い場合に生じる熔融シリコンの溝内の未充填を示す断面図である。

21…単結晶シリコン基板、23…V字溝、
24…二酸化シリコン膜、25…シリコンオキシナイトライド系の薄膜、26…多結晶シリコン層。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘

